

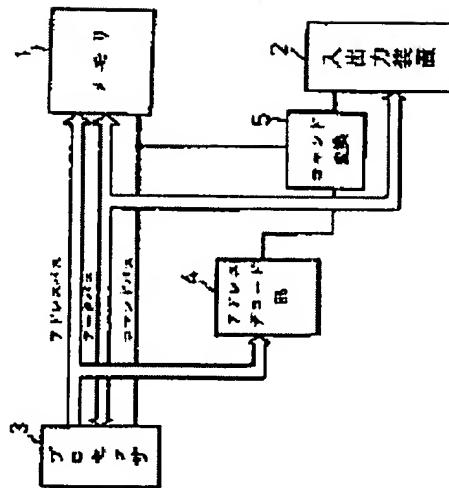
PSEUDO DMA TRANSFER DEVICE

Patent number: JP4023157
Publication date: 1992-01-27
Inventor: ABE TOMOHARU
Applicant: FUJITSU LTD
Classification:
- International: G06F13/38
- European:
Application number: JP19900126765 19900518
Priority number(s):

Abstract of JP4023157

PURPOSE: To attain the transfer of data in a small scale and at a low cost by providing an address decoding part and a command converting part in place of a general-purpose DMA controller (DMAC).

CONSTITUTION: When a processor 3 has a read access to a memory 1, an address decoding part 4 and a command conversion part 5 convert a memory read command into an I/O write command to be given to an input/output device 2. Thus the data are transferred to the device 2 from the memory 1. When the processor 3 has a write access to the memory 1, both parts 4 and 5 convert a memory write command into an I/O read command. Thus the data are transferred to the memory 1 from the device 2. In such a way, the transfer of data is carried out between the memory 1 and the device 2 with a single access given from the processor 3. Thus it is possible to perform a pseudo DMA transfer approximately equal to the DMA transfer by a processor in place of a DMAC serving as a general-purpose LSI.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報 (A) 平4-23157

⑤Int.Cl.⁵

G 06 F 13/38

識別記号

330 Z

庁内整理番号

7052-5B

④公開 平成4年(1992)1月27日

審査請求 未請求 請求項の数 1 (全5頁)

⑤発明の名称 擬似DMA転送装置

②特 願 平2-126765

②出 願 平2(1990)5月18日

⑦発明者 安部 友晴 福岡県福岡市博多区博多駅前1丁目5番1号 富士通九州
デジタル・テクノロジ株式会社内

⑦出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑦代理人 弁理士 青木 朗 外4名

明細書

1. 発明の名称

擬似DMA転送装置

2. 特許請求の範囲

1. データを格納するメモリ(1)、
 核メモリ(1)との間でデータの授受を行う入
 出力装置(2)、
 該メモリ(1)と入出力装置(2)との間のデ
 タ転送を制御するプロセッサ(3)、
 該プロセッサ(3)が出力するDMA転送のた
 めのアドレスを認識するアドレスデコード部(4)、
 及び

該アドレスデコード部(4)がDMA転送のア
 ドレスを認識したときに、該プロセッサ(3)が
 出力するDMA転送のためのメモリリード/ライ
 ト信号を、核入出力装置(2)のI/Oライト/
 リード信号に変換するコマンド変換部(5)を具
 備し、

該プロセッサ(3)からの1回のメモリリード/
 ライトアクセスで、核メモリ(1)と核入出力

装置(2)との間のデータ転送を行うことを特徴
 とする、擬似DMA転送装置。

3. 発明の詳細な説明

(概要)

プロセッサにより一括制御される小型装置内に
 おける、高速データ転送を行う擬似DMA転送装
 置に関し、

1チャンネルのDMA転送を実現するために汎
 用のDMACを用いず、汎用のICでDMA転送
 を簡単に実現する擬似DMA転送装置を提供する
 ことを目的とし、

データを格納するメモリ、メモリとの間でデー
 タの授受を行う入出力装置、メモリと入出力装置
 との間のデータ転送を制御するプロセッサ、プロ
 セッサが出力するDMA転送のためのアドレスを
 認識するアドレスデコード部、及びアドレスデコ
 ード部がDMA転送のアドレスを認識したときに、
 プロセッサが出力するDMA転送のためのメモリ
 リード/ライト信号を、入出力装置のI/Oライ
 ト/リード信号に変換するコマンド変換部を具備

し、プロセッサからの1回のメモリリード／ライトアクセスで、メモリと入出力装置との間のデータ転送を行うように構成する。

(産業上の利用分野)

本発明は、プロセッサにより一括制御される小型装置内における、高速データ転送を行う擬似DMA転送装置に関する。

近年、LSIの高集積化、IC高密度実装技術の進歩により装置は小型化、低価格化が望まれており装置を構成する電子部品1個の大きさ、価格さえも、それを左右する要因の1つになっている。このため高集積のLSIの使用を検討する時、そのLSIの全ての機能を使用しない場合には高価格で実装寸法の大きいLSIの使用は敬遠したいのが実情である。高集積のLSIの一つの例として高速データ転送の実現手段としてよく用いられる汎用DMA制御装置(DMAC)がある。本発明は、この汎用DMACを用いずに、実質的にDMA転送と同一の高速データ転送を可能とする擬似DMA転送装置に関する。

るために汎用のDMACを用いずに、汎用のICでDMA転送と実質的に同一のデータ転送を簡単に実現する擬似DMA転送装置を提供することを目的とする。

(課題を解決するための手段)

第1図は、本発明の原理説明図である。図中、1はデータを格納するメモリ、2はメモリ1との間でデータの授受を行う入出力装置、3はメモリ1と入出力装置2との間のデータ転送を制御するプロセッサ、4はプロセッサ3が出力するDMA転送のためのアドレスを認識するアドレスデコード部、5はアドレスデコード部4がDMA転送のアドレスを認識したときに、プロセッサ3が出力するDMA転送のためのメモリリード／ライト信号を、入出力装置2の1／0ライト／リード信号に変換するコマンド変換部である。プロセッサ3からの1回のメモリリード／ライトアクセスで、メモリ1と入出力装置2との間のデータ転送が可能である。

似DMA転送装置に関する。

(従来の技術)

従来、マイクロプロセッサ(以下MPUと記載する。)により一括制御される装置内の高速データ転送の実現手段として汎用LSIであるDMA Cを用いる事が常であり、そのDMACは、汎用性を持たせるために2～4チャンネルの入出力装置等の動作をサポートしている。しかし、装置が小型で1個の入出力装置しかない場合は、1チャンネルのDMA転送しか必要としないが、この場合でも、従来は、設計の容易さ等から汎用のDMACを使用していた。

(発明が解決しようとする課題)

従って、従来は1チャンネルのDMA転送を行うために、高価で実装寸法の大きい汎用のDMACを用いていたので、装置の小型化、低価格化を損なう要因の一つになっていた。

本発明は、1チャンネルのDMA転送を実現す

(作用)

アドレスデコード部4がDMA転送のアドレスを認識しないとき、即ちDMA転送以外のデータ転送においては、通常通りプロセッサ3はメモリ1及び入出力装置2を個別にアクセスする。アドレスデコード部4がDMA転送のアドレスを認識したとき、即ちDMA転送時には、プロセッサ3がメモリ1をアクセスする際に発生するコマンドを入出力装置のアクセスコマンドに変換する。即ち、メモリ1から入出力装置2へのデータ転送は、プロセッサ3がメモリ1をリードアクセスすることで、アドレスデコード部4、コマンド変換部5によりメモリリードコマンドを入出力装置2に対する1／0ライトコマンドに変換することで、又、入出力装置2からメモリ1へのデータ転送は、プロセッサ3がメモリ1をライトアクセスすることで、アドレスデコード部4、コマンド変換部5によりメモリライトコマンドを1／0リードコマンドに変換することで、プロセッサ3からの1回のアクセスでメモリ1と入出力装置2との間のデータ転送が可能となる。

タ転送を（以下擬似DMA転送と呼ぶ）行うことができるようとする。

従って、汎用LSIであるDMACを用いずに、プロセッサによりDMA転送とほぼ同様の擬似DMA転送が実現できる。この擬似DMA転送を実現するアドレスデコード部4及びコマンド変換部はDMACに比べて寸法が小さく価格が安い汎用ICで実現できる。

〔実施例〕

第2図は、本発明の実施例による擬似DMA転送装置の構成を示すブロック図であり、マイクロプロセッサ（以下MPUと称する）により一括制御される小型装置を示している。第1図で示したものに対応するものは、同一の記号で示してある。本実施例では、プロセッサとしてMPUを用いている。コマンド変換部5は負論理NORゲート51及び52、負論理 NANDゲート53及び54、及び負論理NORゲート55及び56により構成されている。MPU3からのアドレス信号はアド

レスバス21を介してメモリ1及びアドレスデコード部4に入力される。MPU3とメモリ1と入出力装置2とはデータバス22により接続されている。MPU3からは、必要に応じて、1/0リードコマンドIORDが1/0リードコマンド線23に出力され、1/0ライトコマンドIOWTが1/0ライトコマンド線24に出力され、メモリライトコマンドMWTCがメモリライトコマンド線25に出力され、メモリリードコマンドがメモリリードコマンド線26に出力される。メモリライトコマンド線25及びメモリリードコマンド線26はそれぞれメモリ1のライトコマンド入力端子WT及びリードコマンド入力端子RDに接続されている。

第3図はMPU3から出力されるアドレスの空間を示すアドレスマップであり、第2図のアドレスデコード部4は、アドレスバス21からのアドレス信号が第3図のアドレスマップ上のどれを指定しているかに応じて、メモリチップセレクト信号MCS、入出力装置チップセレクト信号1/0

CS、またはDMACチップセレクト信号DMA CSを出力する。

メモリチップセレクト信号MCSとDMACチップセレクト信号DMACSはゲート51に入力され、入出力装置チップセレクト信号1/OCSとDMACチップセレクト信号DMACSはゲート52に入力される。ゲート51及びゲート52の出力はそれぞれメモリ1のチップセレクト端子CS及び入出力装置2のチップセレクト端子CSに接続されている。

メモリライトコマンド線25とDMACチップセレクト信号DMACSとはゲート53に入力されている。メモリリードコマンド線26とDMACチップセレクト信号DMACSとはゲート54に入力されている。

ゲート55には1/0リードコマンド線23とゲート53の出力とが入力され、ゲート56には1/0ライトコマンド24とゲート54の出力とが入力される。ゲート55及び56の出力はそれぞれ入出力装置2の1/0リード端子IORD及

び1/0ライト端子IOWTとに入力される。

第2図の装置の動作を以下に説明する。

通常、MPU3がメモリ1をリード/ライトアクセスする時は、メモリ1のアドレスを出力することによりアドレスデコード部4はメモリチップセレクト信号MCSを出力し、これがゲート51を通ってメモリ1のチップセレクト端子CSに入力されてメモリ1がイネーブルとなる。MPU3はメモリリード/ライトコマンドを線25または26に出力することにより、データバス22を介して、メモリ1とMPU3との間のデータ転送を行う。

又、MPU3が入出力装置2をリード/ライトアクセスする時は、入出力装置2のアドレスを出力することによりアドレスデコード部4は入出力装置チップセレクト信号1/OCSを出力し、これがゲート52を通って入出力装置2のチップセレクト端子CSに入力されてメモリ1がイネーブルとなる。MPU3は1/0リード/ライトコマンドを線23または24に出力し、これがゲート

55または56を通過して入出力装置2に入力されることにより、データバス22を介して、入出力装置2とMPU3との間のデータ転送を行う。

次に、本発明の実施例による擬似DMA転送の動作について説明する。メモリ1から入出力装置2へデータを転送する時、MPU3は、DMA転送メモリのアドレス空間（第3図参照）のアドレスを発生する。アドレスデコード回路4はこのアドレスをデコードしてDMACチップセレクト信号DMACSを発生し、この信号は負論理NORゲート51及び52を通過するので、メモリ1及び入出力装置2に共にチップセレクト信号が出力されて、イネーブルとなる。そして、MPU3から出力されるメモリリードコマンドは線26を介してメモリ1のリード端子RDに入力され、メモリ1にデータの出力を促す。このとき、ゲート54にはDMACチップセレクト信号DMACSとメモリリードコマンドとが共に入力されているので、その出力はローレベル（イネーブル）であり、これがゲート56の一方の入力端に入力されてい

るのでメモリリードコマンドは1/0ライトコマンドとしてゲート56を通過して入出力装置2のライト端子10WTに入力され、入出力装置2にデータの入出力装置2を促す。こうして、メモリ1から入出力装置2へのデータの転送が1回のメモリリードアクセスで実現できる。

入出力装置2からメモリ1へのデータの擬似DMA転送も同様にして行われる。即ち、入出力装置2からメモリ1へデータを転送する時は、MPU3は、DMA転送メモリのアドレス空間のアドレスを発生し、アドレスデコード回路4はこのアドレスをデコードしてDMACチップセレクト信号DMACSを発生し、この信号はゲート51及び52を通過するので、メモリ1及び入出力装置2に共にチップセレクト信号が出力されて、イネーブルとなる。ゲート53にはDMACチップセレクト信号DMACSとメモリライトコマンドとが共に入力されているので、その出力はローレベルであり、これがゲート55の一方の入力端に入力されているので、メモリライトコマンドはゲー

ト55を通過して1/0リードコマンドとして入出力装置2のリード端子10RDに入力され、入出力装置2にデータの出力を促す。そして、MPU3から出力されるメモリライトコマンドは線25を介してメモリ1のライト端子WTに入力され、メモリ1にデータが書き込まれる。こうして、入出力装置2からメモリ1へのデータの転送も1回のメモリライトアクセスで実現できる。

（発明の効果）

以上説明したように、本発明によれば、汎用DMACに代えて、小寸法かつ低価格のアドレスデコード部4とコマンド変換部5を設けたことにより、汎用LSIのDMACを用いたDMA転送とほぼ同様のデータ転送を小型且つ安価に実現でき、小型装置の低価格化、高密度化に寄与するところが大きい。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の実施例による擬似DMAデー

タ転送装置の構成を示すブロック図、

第3図は第2図のMPUから出力されるアドレス信号の空間を示すアドレスマップである。

図において、

- 1はメモリ、
- 2は入出力装置、
- 3はプロセッサ、
- 4はアドレスデコード部、
- 5はコマンド変換部である。

特許出願人

富士通株式会社

特許出願代理人

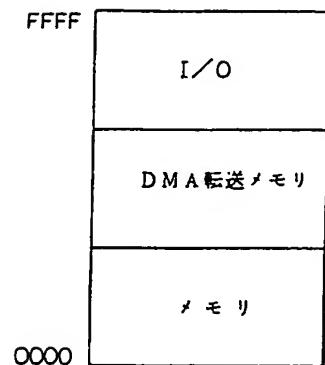
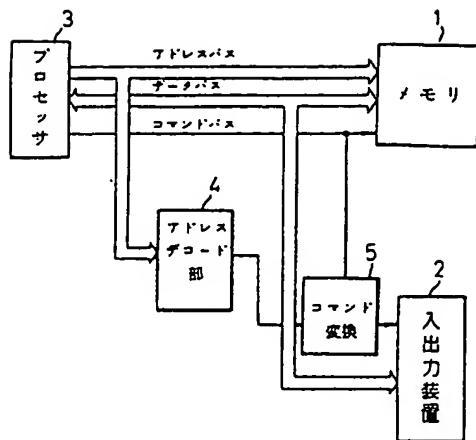
弁理士青木朗

弁理士石田敬

弁理士平岩賢三

弁理士山口昭之

弁理士西山雅也

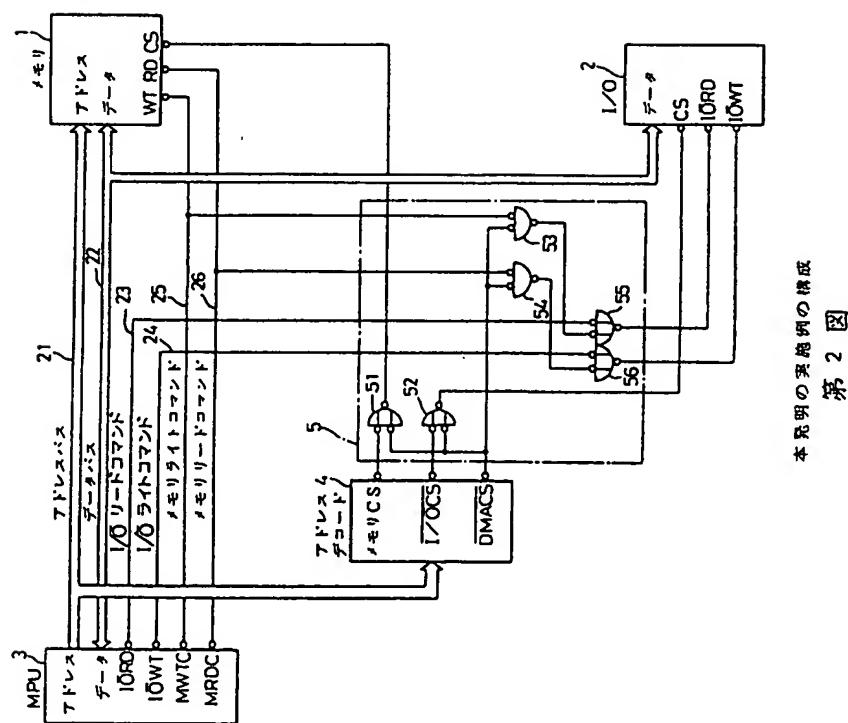


本発明の原理説明図

第 1 図

MPUのアドレスマップ

第 3 図



本発明の実施例の構成
第 2 図